



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10150154 A**

(43) Date of publication of application: 02.06.98

(51) Int. Cl.

H01L 27/04**H01L 21/822****H01L 21/28****H01L 21/3205****H01L 29/78****H01L 21/336**

(21) Application number: 08309291

(71) Applicant: **NEC CORP**

(22) Date of filing: 20.11.96

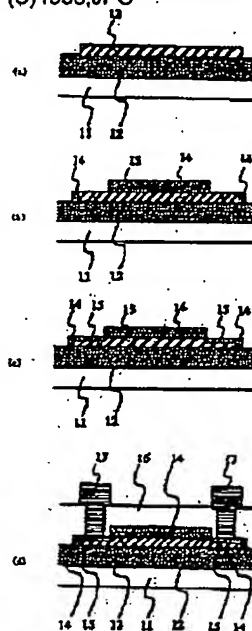
(72) Inventor: **TAKAHASHI SANEKATSU**(54) **METHOD OF MANUFACTURING
SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1998,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To lower the contact resistance by silicifying the contact region of a polycrystalline silicon resistor.

SOLUTION: A polycrystalline silicon film 13 in a specific film thickness is grown on a thick oxide film 12 formed on a semiconductor substrate 11 and after implanting and heat-treating impurities, a resistor 13 is formed by patterning it into a specific planar shape. Later, an oxide film 14 is grown on the whole surface of the semiconductor substrate 11 and after removing the oxide film 14 on the contact region of the resistor 13, the resistor 13 is coated with a high melting point metal to perform a specific heat-treatment for the formation of a silicified layer 15 in the contact region so as to make feasible of the reduction of contact resistance, the improvement of controllability of resistance value as well as the precision as the results of miniaturization of a contact hole.



特開平10-150154

(43) 公開日 平成10年(1998)6月2日

(51) IntCl ⁶	識別記号	F I	
H 0 1 L 27/04		H 0 1 L 27/04	P
21/822		21/28	3 0 1 T
21/28	3 0 1	21/88	S
21/3205		29/78	3 0 1 Y
29/78			

審査請求 有 請求項の数 4 OL (全 6 頁) 最終頁に続く

(21) 出願番号 特願平8-309291
 (22) 出願日 平成8年(1996)11月20日

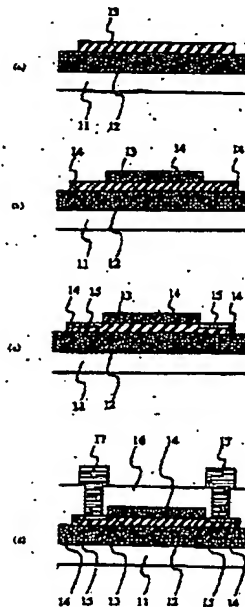
(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72) 発明者 高橋 実且
 東京都港区芝五丁目7番1号 日本電気株式会社内
 (74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 多結晶シリコン抵抗のコンタクト領域をシリサイド化することで、コンタクト抵抗の低減を図る。

【解決手段】 半導体基板11上に形成された厚い酸化膜12上に所定の膜厚の多結晶シリコン膜13を成長し、不純物の注入、熱処理を施した後、所定の平面形状にパターンニングし抵抗体13を形成する。その後、半導体基板全面に酸化膜14を成長し、抵抗体13のコンタクト領域上の酸化膜を除去した上で、高融点金属を被着させ、所定の熱処理を行うことでコンタクト領域にシリサイド化層15を形成し、コンタクト孔の微細化に伴う抵抗体13のコンタクト抵抗の低減を図り、抵抗値の制御性を上げ、精度の向上を図る。



11 半導体基板 12 厚い酸化膜
 13 多結晶シリコン膜 14 所定の酸化膜
 15 シリサイド層 16 高融点金属
 17 電極

【特許請求の範囲】

【請求項1】 抵抗体と外部電極とを層間絶縁膜のコンタクト孔を通して電気的に接続する半導体装置の製造方法であって、

抵抗体の外部電極と接続するコンタクト領域にシリサイド層を形成することを特徴とする半導体装置の製造方法。

【請求項2】 抵抗体形成工程と、シリサイド化工程と、配線工程とを有し、

抵抗体形成工程は、半導体基板面の酸化膜上に多結晶シリコン層を堆積し、多結晶シリコン層の抵抗体として形成する領域を含む所定の領域に不純物をイオン注入し、かつ熱処理を施し、多結晶シリコン層を所定の平面形状にパターンニングし、抵抗体を形成する処理であり、シリサイド化工程は、前記抵抗体を含む半導体基板上に絶縁膜を堆積させ、少なくとも抵抗体のコンタクト領域となる所定の領域の多結晶シリコン層のみが露出するように、絶縁膜をパターンニングし、露出した多結晶シリコン膜を含む半導体基板上に高融点金属を堆積し、不活性ガス等の雰囲気中で熱処理を施し、抵抗体の酸化膜で覆われた領域以外の多結晶シリコン膜と高融点金属を反応させることにより、シリサイド層を形成する処理であり、

配線工程は、酸化膜上の未反応の高融点金属を除去し、シリサイド層を形成した抵抗体を含む半導体基板上に酸化膜を堆積させ、抵抗体のシリサイド層領域にコンタクト孔を形成し、このコンタクト孔を通して抵抗体のシリサイド層に外部電極を接続する処理であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 抵抗体とMOSFETのゲート電極を同一の多結晶シリコン層から形成することを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】 多結晶シリコン膜をゲート電極として使用するMOSFETの製造工程において、抵抗体となる多結晶シリコンのコンタクト領域のシリサイド化とMOSFETのゲート電極上のシリサイド化を同時に行うことを特徴とする請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に多結晶シリコンを用いた抵抗体の製造方法に関する。

【0002】

【従来の技術】 従来行われてきた、多結晶シリコンを用いた抵抗体の製造方法について、図面を参照して説明する。図3(a)～(c)は、従来、通常行われてきた抵抗体の製造方法を工程順に示す断面図である。

【0003】 まず、図3(a)に示すように、半導体基板31上に数1000Åの膜厚に形成したシリコン酸化

膜32上に、多結晶シリコン膜33を、例えば1000Åないし3000Åの膜厚に成長し、多結晶シリコン膜33の全面にイオン注入により不純物を導入し、その後、窒素雰囲気中で800℃から1000℃程度の熱処理を行い、所望の層抵抗値を得る。

【0004】 次に図3(b)に示すように、例えば、ホトレジストを用いたマスクを用い、所定のパターンに多結晶シリコン膜33を異方性のドライエッチング等でパターンニングし、所望の抵抗値をもった抵抗体33aを形成する。

【0005】 次に図3(c)に示すように、抵抗体33aを含む半導体基板上に酸化膜等からなる絶縁膜をCVD法等により成長し、層間絶縁膜36を形成し、層間絶縁膜36に形成したコンタクト孔を通してアルミ電極37を抵抗体33aに接続させる。

【0006】 尚、このとき、抵抗体33aとアルミ電極37との界面には、例えばTiなどの高融点金属からなるバリアメタル層を挿入することもある(図示せず)。

【0007】 また、多結晶シリコンを用いた抵抗体の製造方法として、本発明に関連する従来の抵抗体の製造方法として、特開平5-235276号公報に示されている製造方法に関して説明する。

【0008】 図4(a)～(e)は、特開平5-235276号公報に示されている、抵抗体の製造方法を工程順に示す断面図である。

【0009】 まず、図4(a)に示したように、半導体基板41上に形成された厚い酸化膜42上に第1の多結晶シリコン層43を所定の厚さに成長し、多結晶シリコン膜43全面に対して、不純物をイオン注入し、熱処理を施した後、所定の平面形状にパターンニングして、抵抗体構造の主体となる抵抗体43aを形成する。

【0010】 次に、図4(b)に示したように、抵抗体43aを含む半導体基板上に、絶縁膜44を所要の膜厚に成長し、絶縁膜44の該当部分に第1のコンタクト孔を開孔する。

【0011】 次に、図4(c)に示したように、第1のコンタクト孔を含む第1の層間絶縁膜44上に所要の膜厚による第2の多結晶シリコン膜48を成長し、コンタクト孔を通して、抵抗体43aに接続され、かつ第1の抵抗体43aの形成と同様に、第2の多結晶シリコン層48に対して、全面に不純物を注入し、かつ熱処理を施す。

【0012】 次に、図4(d)に示したように、第2の多結晶シリコン層48を所定の平面形状にパターンニングし、第1の抵抗体43aのコンタクト部上に抵抗体部48aをそれぞれ選択的に一部突出するように形成する。次いで、抵抗体部48aの突出部上に、TiSiなどのシリサイド層45を被覆形成する。

【0013】 次に、図4(e)に示したように、抵抗体43aのシリサイド層45で被覆された突出部を含む絶

絶縁膜44上に層間絶縁膜46を堆積させて覆い、層間絶縁膜46の該当部分に第2のコンタクト孔を開口し、シリサイド層45を露出させ、さらに第2のコンタクト孔を通して、シリサイド層45にバリアメタル膜(図示せず)を介してアルミ電極47を接続し、抵抗体構造を得る。

[0014]

【発明が解決しようとする課題】 上述したように、従来の多結晶シリコンを用いた抵抗体の製造方法では、コンタクト孔の微細化が進むにつれ、アルミ電極と抵抗体を形成する多結晶シリコンとの接触面積が減少するため、アルミ電極と多結晶シリコンとの接触部でのコンタクト抵抗が増大し、所望の抵抗値そのものに対するコンタクト抵抗成分の占める割合が増大する。一般に、コンタクト抵抗は、抵抗体そのものの抵抗値よりも、その制御性が難しく、抵抗体の抵抗値を制御性良く形成しても、コンタクト抵抗成分が大きくなると、結局全体の抵抗値の制御性は改善されないという問題があった。

【0015】 従来、全体の抵抗値に対するコンタクト抵抗の占める割合を低下させるためには、抵抗のコンタクト孔を通常よりも大きく開口するか、もしくは、一定サイズのコンタクト孔を多数コンタクト領域に配置する手段が取られてきた。しかしながら、従来取られてきた方法では、結局レイアウト面積に対する抵抗面積の増大を招き、素子レイアウト面積の縮小と、素子レイアウトの自由度を阻害する要因となってきた。

【0016】 また、図4に示された特開平5-235276号公報に示されている方法では、コンタクト抵抗の低減には効果があるものの、抵抗値に異なった不純物濃度を持つ2種類の多結晶シリコン層により決定されるため、抵抗値の制御性の点では、効果が小さい。また、1つの抵抗体の形成に2回のコンタクト孔の形成と2回の多結晶シリコン層の成長とを行わなければならない、製造工程数の増大をもたらすという問題点がある。

【0017】 本発明の目的は、多結晶シリコン抵抗のコンタクト領域をシリサイド化することにより、コンタクト抵抗を低減する半導体装置の製造方法を提供することにある。

[0018]

【課題を解決するための手段】 前記目的を達成するため、本発明に係る半導体装置の製造方法は、抵抗体と外部電極とを層間絶縁膜のコンタクト孔を通して電気的に接続する半導体装置の製造方法であって、抵抗体の外部電極と接続するコンタクト領域にシリサイド層を形成する。

【0019】 また抵抗体形成工程と、シリサイド化工程と、配線工程とを有し、抵抗体形成工程は、半導体基板面の酸化膜上に多結晶シリコン層を堆積し、多結晶シリコン層の抵抗体として形成する領域を含む所定の領域に不純物をイオン注入し、かつ熱処理を施し、多結晶シリ

コン層を所定の平面形状にパターンニングし、抵抗体を形成する処理であり、シリサイド化工程は、前記抵抗体を含む半導体基板上に絶縁膜を堆積させ、少なくとも抵抗体のコンタクト領域となる所定の領域の多結晶シリコン層のみが露出するように、絶縁膜をパターンニングし、露出した多結晶シリコン膜を含む半導体基板上に高融点金属を堆積し、不活性ガス等の雰囲気中で熱処理を施し、抵抗体の酸化膜で覆われた領域以外の多結晶シリコン膜と高融点金属を反応させることにより、シリサイド層を形成する処理であり、配線工程は、酸化膜上の未反応の高融点金属を除去し、シリサイド層を形成した抵抗体を含む半導体基板上に酸化膜を堆積させ、抵抗体のシリサイド層領域にコンタクト孔を形成し、このコンタクト孔を通して抵抗体のシリサイド層に外部電極を接続する処理である。

【0020】 また抵抗体とMOSFETのゲート電極を同一の多結晶シリコン層から形成する。

【0021】 また多結晶シリコン膜をゲート電極として使用するMOSFETの製造工程において、抵抗体となる多結晶シリコンのコンタクト領域のシリサイド化とMOSFETのゲート電極上のシリサイド化を同時に行う。

[0022]

【発明の実施の形態】 次に、本発明の実施の形態を図面を参照して説明する。

【0023】 (実施形態1) 図1(a)~(d)は、本発明の実施形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【0024】 まず、図1(a)に示すように、半導体基板11上に形成したフィールド酸化膜等の厚い酸化膜12上に多結晶シリコン膜13を成長させる。多結晶シリコン膜13は、通常1000Åから3000Åの厚さを有する。次に、多結晶シリコン膜13にイオン注入によって、不純物を注入し、例えば窒素雰囲気中で800℃から1000℃程度の熱処理を施す。その後、多結晶シリコン膜13をフォトリソistをマスクとした異方性のドライエッチングにより、所定の平面形状にパターンニングし、抵抗体13を得る。

【0025】 次に、図1(b)に示すように、抵抗体13上にシリコン酸化膜14を500Åから1000Åの厚さに成長し、さらに少なくとも抵抗体13のアルミ配線へのコンタクト領域のみが露出するように、シリコン酸化膜14をフォトリソistを用いたドライエッチング等でパターンニングする。このとき、異方性のドライエッチングでシリコン酸化膜14をパターンニングすると、抵抗体13の側壁にシリコン酸化膜14の残膜が形成されるが、抵抗体13の側壁に残膜が形成されると不都合な場合には、等方性のエッチング(ドライないしはウェット)残膜としてのシリコン酸化膜14をパターンニングしてもよい。

【0026】次に、図1(c)に示すように、Ti、Coなどの高融点金属を数100Åの厚さにスパッタ法等で堆積させ、不活性ガス中で数100℃の熱処理を施すことで、露出した抵抗体13の部分において抵抗体13をなす多結晶シリコンと高融点金属とを反応させ、抵抗体13のコンタクト領域にシリサイド層15を形成する。

【0027】次に、図1(d)に示すように、シリコン酸化膜等からなる層間絶縁膜16をCVD法等により抵抗体13を含む半導体基板上に成長し、抵抗体13のコンタクト領域のシリサイド層15とアルミ電極17とが接続されるように、層間絶縁膜16にコンタクト孔を形成し、コンタクト孔を通して、アルミ電極17をシリサイド層15に接続する。なお、このとき、アルミ配線17と抵抗体13との間にTi等からなるバリアメタル層を挿入してもよい(図示せず)。

【0028】(実施形態2) 図2(a)～(e)は、本発明の実施形態において、多結晶シリコンを用いた抵抗体をMOSトランジスタと同時に形成する場合を工程順に示す断面図である。

【0029】まず、図2(a)に示すように、半導体基板21上に4000Åから6000Åの厚さのフィールド酸化膜22を形成し、さらに多結晶シリコン膜23を成長し、イオン注入により、不純物を多結晶シリコン膜23中に導入し、窒素雰囲気中で熱処理を行う。なお、特に図示しないが、MOSトランジスタのウェル等の半導体基板内の不純物拡散層の形成及びMOSトランジスタのゲート酸化膜の形成は、多結晶シリコン膜23を成長する前に、所定の工程で形成される必要がある。

【0030】次に、図2(b)に示したように、多結晶シリコン膜23を、MOSトランジスタのゲート電極、及び抵抗体として形成するために、所定の平面形状に露光したフォトリソistをマスクとして、パターンニングを行い、抵抗体23a及びゲート電極23bを形成する。なお、抵抗体23aとMOSトランジスタのゲート電極23bをなす多結晶シリコン中の不純物濃度を異なった濃度にする必要がある場合には、多結晶シリコン膜23を成長後、フォトリソistをマスクとして、それぞれの領域に異なったドーズ量でイオン注入を行う必要がある。

【0031】次に、図2(c)に示すように、500Åから1000Å程度のシリコン酸化膜24を、抵抗体23a及びゲート電極23bを含む半導体基板上に成長し、MOSトランジスタのゲート電極、及び抵抗体のアルミ配線へのコンタクト領域、及びMOSトランジスタの拡散層領域が露出されるように、シリコン酸化膜24をパターンニングする。なお、図示しないが、MOSトランジスタのソース、ドレインの高濃度拡散層は、この工程の後、所定のフォトリソistマスクを用い、イオン注入等により形成する。

【0032】次に、図2(d)に示したように、Ti、Coなどの高融点金属をスパッタ法等により数100Å成長させ、不活性ガス雰囲気中で、600℃から800℃程度の熱処理を施すことにより、高融点金属と抵抗体23a及びゲート電極23bをなす多結晶シリコンの露出部分及びMOSトランジスタの拡散層において、シリサイド層25を形成し、酸化膜24上の未反応の高融点金属を除去する。

【0033】次に、図2(e)に示すように、CVD法等により酸化膜等を所定の厚さ成長し、層間絶縁膜26を形成し、抵抗体23a及び、MOSトランジスタのゲート電極23b、及び拡散層に対するアルミ電極との接続を図るため、コンタクト孔を形成し、アルミ電極27を形成する。

【0034】

【発明の効果】以上説明したように本発明によれば、抵抗体の外部電極と接続をとるコンタクト領域をシリサイド化するため、コンタクト孔の微細化に伴うコンタクト抵抗の増加を最小限に押さえることができ、抵抗値全体に及ぼすコンタクト抵抗値の影響を制御することができる。

【0035】また、従来のようにコンタクト抵抗の影響を押さえるために、抵抗体に対するコンタクト孔の面積を増やす、或いは一定サイズのコンタクト孔を多数形成する必要がなく、そのため抵抗体の平面上のレイアウト面積を増大させることがないばかりでなく、レイアウトの自由度を増やすことができる。

【0036】また、本発明の抵抗体は、MOSトランジスタの形成工程と共通の工程で形成可能であり、MOSトランジスタの形成工程に特別な形成工程を付加せず、形成できる。

【図面の簡単な説明】

【図1】本発明の実施形態1を工程順に示す断面図である。

【図2】本発明の抵抗体をMOSトランジスタの形成工程と共通の製造工程で形成する製造工程を示す断面図である。

【図3】従来の抵抗体の製造方法を示す工程断面図である。

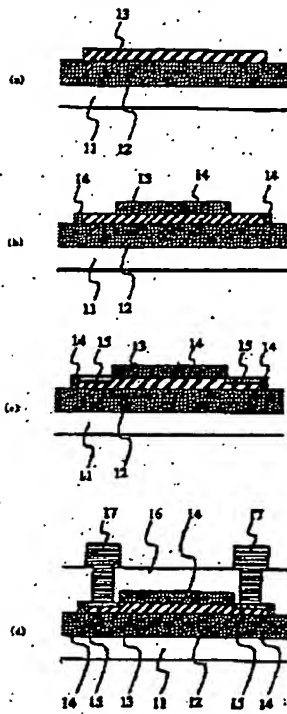
【図4】従来の抵抗体の製造方法を示す工程断面図である。

【符号の説明】

- 11, 21, 31, 41 半導体基板
- 12, 22, 32, 42 厚い酸化膜(フィールド酸化膜)
- 13, 23, 33, 43 多結晶シリコン
- 14, 24, 44 シリコン酸化膜
- 15, 25, 45 シリサイド層
- 16, 26, 36, 46 層間絶縁膜
- 17, 27, 37, 47 アルミ電極

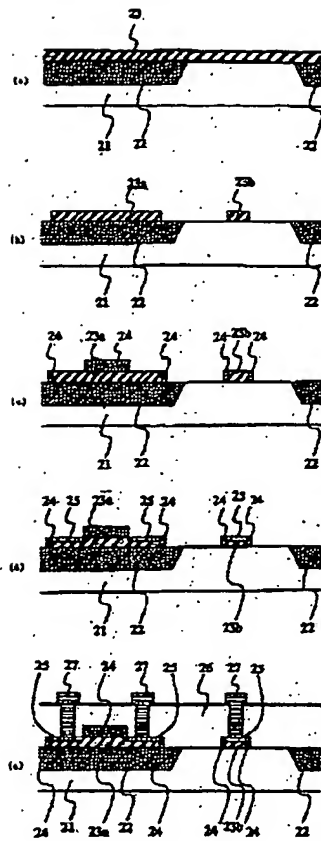
48 第2の多結晶シリコン層

【図1】

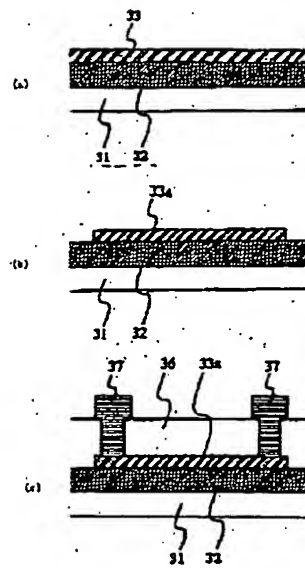


11 半導体基板 12 薄い酸化膜
13 多結晶シリコン膜 14 多結晶シリコン膜の酸化膜
15 薄い酸化膜 16 多結晶シリコン膜
17 電極

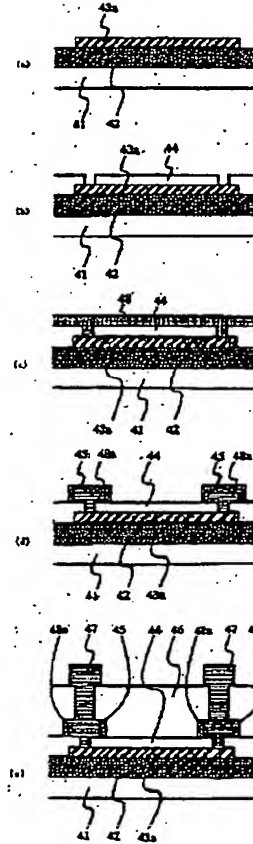
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.

識別記号

F. I

H01L 21/336